

PATENT ABSTRACTS OF JAPAN

①

(11)Publication number : 01-268316

(43)Date of publication of application : 26.10.1989

(51)Int.Cl.

H03M 1/74

(21)Application number : 63-097098

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 20.04.1988

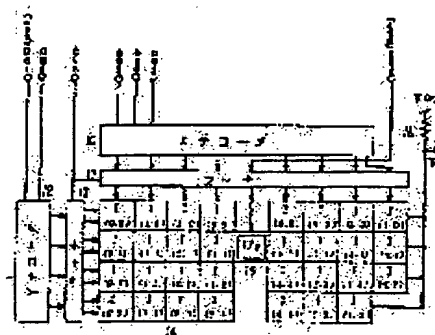
(72)Inventor : OKA KOJI

(54) DIGITAL/ANALOG CONVERTING CIRCUIT

(57)Abstract:

PURPOSE: To reduce a linearity error and a differential linearity error by placing a weighting constant-current source fundamental circuit in the inside of a matrix structure of a constant-current source fundamental circuit.

CONSTITUTION: The title circuit is provided with a constant-current source fundamental circuit consisting of a constant-current source of a matrix structure for allowing a constant-current I to flow, and a weighting constant-current fundamental circuit 15 for allowing a constant current $I/2$ to flow, and the weighting constant-current source fundamental circuit 15 is placed in the inside of the matrix structure of the constant-current source fundamental circuit 14. In such a way, when a constant-current value of each constant-current source of the constant-current source fundamental circuit 14 is distributed in an LSI chip, the weighting constant-current source fundamental circuit 15 can be placed in the vicinity of the center of the distribution of the current value, the influence of the distribution of the current value of each constant-current source can be reduced, and a linearity error and a differential linearity error can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 平成1年(1989)10月26日

H 03 M 1/74

6832-5 J

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 デジタル・アナログ変換回路

⑯ 特 願 昭63-97098

⑰ 出 願 昭63(1988)4月20日

⑱ 発 明 者 岡 浩 二 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

デジタル・アナログ変換回路

2、特許請求の範囲

定電流源基本回路を構成する複数の定電流源を、
 X軸方向に n (n は2以上の自然数)個、Y軸方向に m (m は2以上の自然数)個のマトリクス構造に配列するとともに、前記定電流源基本回路の各定電流源からの定電流の $1/2^k$ ($k=1, 2, \dots, \ell$: ℓ は1以上の自然数)の定電流を流す ℓ 個の重み付け定電流源基本回路を、前記定電流源基本回路のX軸方向の2, ..., $n-1$ 番目の定電流源に隣接し、かつY軸方向の2, ..., $m-1$ 番目の定電流源に隣接する位置に配置したことを特徴とするデジタル・アナログ変換回路。

3、発明の詳細な説明

産業上の利用分野

本発明は、集積回路に組込まれるデジタル・アナログ変換回路に関するものである。

従来の技術

近年、半導体集積回路技術の進歩により、従来アナログ信号処理のみであったシステムのデジタル化が進み、デジタル信号とアナログ信号の接点であるアナログ・デジタル(A/D)変換及び、デジタル・アナログ(D/A)変換の重要性が高まり、分解能、精度の要求も高まってきている。

以下に重み付け定電流源基本回路を持ったマトリクス構造の電流加算型D/A変換回路について説明する。第5図は、従来の $1/2$ の重み付け定電流源基本回路を持ったマトリクス構造の6ビットD/A変換回路の回路配置図である。

VDDは電源電圧、Voは電圧出力端子、CLKはデータラッチ用クロックパルス、DB1~DB6は6ビットデータ、100はXデコード、101、103はラッチ、102はYデコード、(0,0)~(6,3)の番号をつけた104は、定電流Iを流す31個のマトリクス構造の定電流源基本回路、105は定電流I/2を流す重み付け定電流源基本回路、106は出力負荷抵抗で、定電流源

基本回路104の出力端に接続されている。定電流源基本回路104と、重み付け定電流源基本回路105は、第2図と同じ位置関係で半導体集積回路上に形成されている。

以上のように構成されたD/A変換回路について以下にその動作を説明する。6ビットデータのうち上位2ビット(DB1, DB2)はYデコーダ102に入力され、次の3ビットDB3, DB4, DB5はXデコーダ100に入力され、定電流源基本回路104内にマトリクス状に配置された各定電流源のオン、オフをコントロールする信号を出力する。そして上位5ビットのデータの値に対応してマトリクス状に配置された定電流源のオンする個数が定まる。最下位ビットのDB6は、重み付け定電流源基本回路105に入力され、この値に応じてI/2定電流源のオン、オフが定まる。その動作を更に詳細に説明する。いま、(DB1, …… , DB6) = (0, …… , 0)から1ビットずつカウントアップしていった場合を考える。オール“0”の時、定電流源基本回路104の定電

流源は全てオフしている。次に最下位ビットのみ“1”になった場合、重み付け定電流源基本回路105のみオンし、I/2の電流が流れる。次に(0, 0, 0, 0, 1, 0)になった時、定電流源基本回路104の定電流源が1個オンし、I/2定電流源はオフする。この時Iの電流が流れる。次に(0, 0, 0, 0, 1, 1)になった時は定電流源基本回路104の定電流源1個と、I/2定電流がオンし、3/2Iの電流が流れる。このようにデータの値に応じて定電流源基本回路104および重み付け定電流源基本回路105のオン、オフが定まり、その合計された電流が出力される。

発明が解決しようとする課題

しかしながら、上記従来の配置では、マトリクス状の定電流源の電流値が、LSIチップ内で或る規則性を持って分布していた場合、直線性誤差、微分直線性誤差が大きくなるという欠点を有していた。

第6図の構造をもつ6ビットD/A変換回路において、定電流源基本回路104および重み付け定

電流源基本回路105の各定電流源の電流値が、第6図のようにX方向、Y方向に傾きをもって分布している場合を考える。4角の中の値は各定電流源の理想値からのずれを示す。単位はLSBである。この時の直線性誤差の計算結果が第7図、微分直線性誤差の計算結果が第8図である。このように重み付け定電流源基本回路105が定電流源基本回路104のマトリクス構造の端にある場合、電流値の分布の影響を大きく受ける。特に第6図に示す微分直線性誤差への影響が大きい。

本発明は従来の問題点を解決するもので、重み付け定電流源基本回路を定電流源基本回路のマトリクス構造の内部に配置し、電流値の分布の影響を小さくしたデジタル・アナログ変換回路を実現することを目的とするものである。

課題を解決するための手段

本発明のデジタル・アナログ変換回路は、定電流源基本回路の各定電流源をX軸とY軸方向にマトリクス構造に配列するとともに、 $1/2^k$ の定電流を流す重み付け定電流源基本回路を、前記定

電流源基本回路のマトリクス構造の最外周より内部に配置した構造をもつものである。

作用

この構造により、定電流源基本回路の各定電流源の電流値がLSIチップ内で分布している場合、重み付け定電流源基本回路を電流値の分布の中心付近にすることができ、直線性誤差、微分直線性誤差を小さくすることができる。

実施例

以下に本発明の一実施例について、図面を参照しながら説明する。第1図は、本発明の一実施例におけるマトリクス構成の定電流加算方式による6ビットのD/A変換回路の配置図を示すものである。

第1図において、電源電圧VDD、出力電圧端子Vo、クロックCLK、データDB1~DB6、Xデコーダ10、ラッチ11、13、Yデコーダ12、出力負荷抵抗14は従来例と同じ構成、同じ配置である。14は定電流Iを流す31個のマトリクス構造の定電流源からなる定電流源基本回

路、15は定電流 $I/2$ を流す重み付け定電流源基本回路である。

以上のように構成された本実施例は、従来例と異なり重み付け定電流源基本回路15を、定電流源基本回路14のマトリクス構造の内部に配置している。

ここで、従来例と同じように定電流源基本回路14の各定電流源の電流値がLSIチップ内で分布している場合を考える。第2図が定電流源基本回路14の各定電流源の電流値の分布で、重み付け定電流源回路15の電流値は既述分布の中心の値になっている。この時の直線性誤差の計算結果が第3図、微分直線性誤差の計算結果が第4図である。第3図と第7図を比較すると、直線性誤差は0.049LSBから0.043LSBに減少していることが判る。また第4図と第8図を比較すると、微分直線性誤差は、0.015LSBから0.09LSBへと減少していることが判る。

以上のように本実施例によれば、重み付け定電流源基本回路15を定電流源基本回路14のマト

リクス構造の内部に配置することにより、LSIチップ内での各定電流源の電流値の分布の影響を小さくでき、直線性誤差、微分直線性誤差を小さくすることが可能である。

なお、本実施例では、重み付け定電流源基本回路が1個の場合を示したが、複数個あっても同様である。また本実施例は6ビットのD/A変換回路の場合を示したが、マトリクス構造をもち、かつ重み付け定電流源基本回路をもつ全てのD/A変換回路に適用可能である。

発明の効果

本発明は、重み付け定電流源基本回路を、定電流源基本回路のマトリクス構造の内部に配置することにより、直線性誤差、微分直線性誤差の小さなD/A変換回路を実現できるものである。

4、図面の簡単な説明

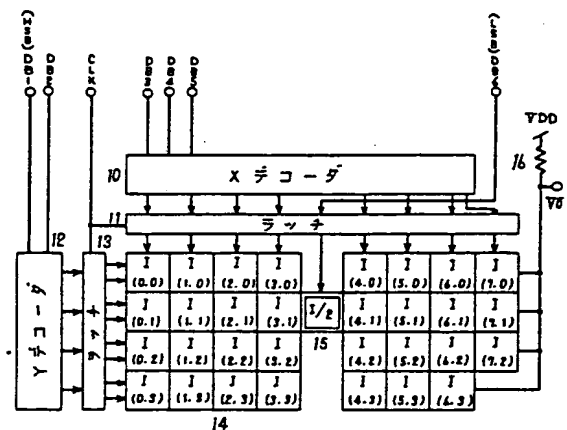
第1図は本発明の一実施例におけるデジタル・アナログ変換回路の回路配置図、第2図は上記実施例の定電流源基本回路の電流値の分布を示した図、第3図は上記実施例の直線性誤差を示した図、

第4図は上記実施例の微分直線性誤差を示した図、第5図は従来のデジタル・アナログ変換回路の回路配置図、第6図は従来例の定電流源基本回路の電流値の分布を示した図、第7図は従来例の直線性誤差を示した図、第8図は従来例の微分直線性誤差を示した図である。

10……Xデコーダ、11……ラッチ、12……Yデコーダ、14……定電流源基本回路、15……重み付け定電流源基本回路、16……出力負荷抵抗、DB1～DB6……6ビットデータ、CLK……クロックパルス、Vo……電圧出力端子。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

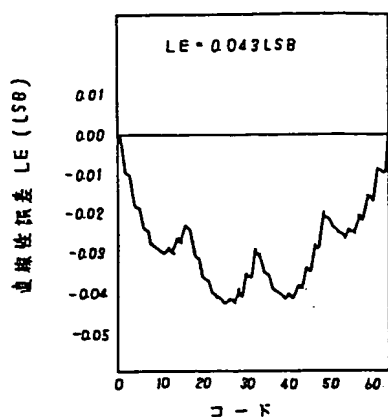
第 1 図



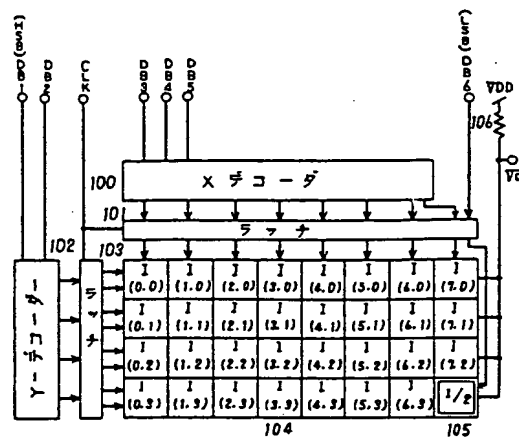
第 2 図

-0.010	-0.008	-0.004	-0.004	-0.002	0.000	0.002	0.004
-0.008	-0.004	-0.004	-0.002	-0.001	0.000	0.002	0.004
-0.004	-0.004	-0.002	0.000	0.002	0.004	0.006	0.008
-0.004	-0.002	0.001	0.003	0.005	0.007	0.009	

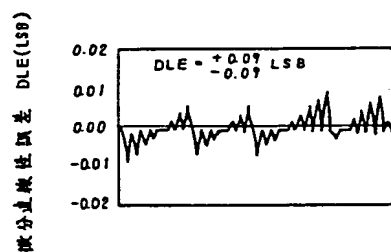
第 3 図



第 5 図



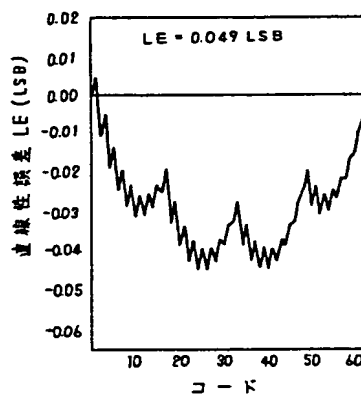
第 4 図



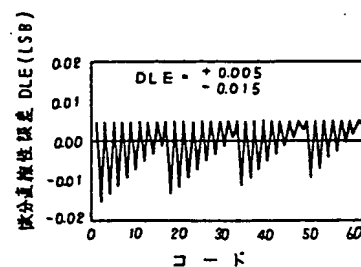
第 6 図

-0.010	-0.008	-0.006	-0.004	-0.002	0.000	0.002	0.004
-0.008	-0.006	-0.004	-0.002	0.000	0.002	0.004	0.006
-0.006	-0.004	-0.002	0.000	0.002	0.004	0.006	0.008
-0.004	-0.002	0.000	0.002	0.004	0.006	0.008	0.010

第 7 図



第 8 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.